


SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Patent number: JP2001156081
Publication date: 2001-06-08
Inventor: NISHII KATSUNORI; IKEDA YOSHITO; MASATO HIROYUKI; INOUE KAORU
Applicant: MATSUSHITA ELECTRONICS INDUSTRY CORP
Classification:
- international: H01L21/338; H01L29/812; H01L21/28; H01L29/778
- european:
Application number: JP20000248381 20000818
Priority number(s):

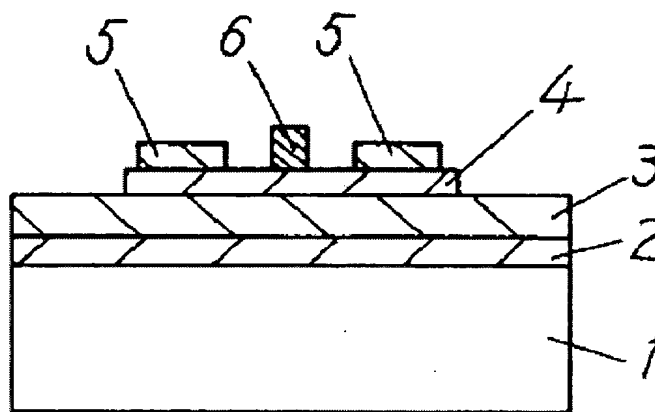
Also published as:

 JP2001156081 (A)

Abstract of JP2001156081

PROBLEM TO BE SOLVED: To manufacture a semiconductor device having a Schottky electrode with good adherence to a gallium nitride semiconductor and an excellent Schottky characteristic.

SOLUTION: The semiconductor device has an n-type GaN active layer 4 and a Schottky electrode 6 formed on the n-type GaN active layer 4. The Schottky electrode 6 contains silicon.



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156081

(P2001-156081A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L 21/338		H 0 1 L 21/28	3 0 1 H 4 M 1 0 4
29/812		29/80	M 5 F 1 0 2
21/28	3 0 1		H
29/778			

審査請求 有 請求項の数16 O L (全 11 頁)

(21) 出願番号 特願2000-248381 (P2000-248381)

(22) 出願日 平成12年8月18日 (2000.8.18)

(31) 優先権主張番号 特願平11-262134

(32) 優先日 平成11年9月16日 (1999.9.16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号

(72) 発明者 西井 勝則
大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 池田 義人
大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100097445
弁理士 岩橋 文雄 (外2名)

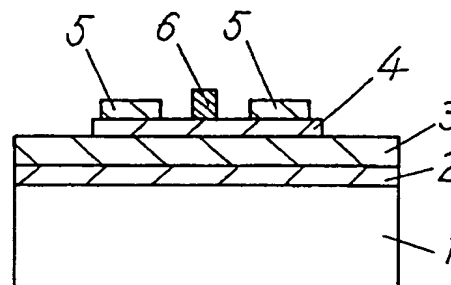
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 窒化ガリウム系化合物半導体に対して密着性がよく、ショットキ特性に優れたショットキ電極を有する半導体装置を製造することを目的とする。

【解決手段】 n型Ga N活性層4と、n型Ga N活性層4上に形成されたショットキ電極6とを有し、ショットキ電極6がシリコンを含有する半導体装置を製造する。



【特許請求の範囲】

【請求項1】 窒化ガリウム系化合物半導体層と、前記窒化ガリウム系化合物半導体層上に形成されたショットキ電極とを有し、前記ショットキ電極がシリコンを含有することを特徴とする半導体装置。

【請求項2】 前記ショットキ電極におけるシリコンの重量含有率が0%を超え、20%以下の範囲であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ショットキ電極におけるシリコンの重量含有率が3%を超え、20%以下の範囲であることを特徴とする請求項1記載の半導体装置。

【請求項4】 窒化ガリウム系化合物半導体層と、前記窒化ガリウム系化合物半導体層上に形成されたショットキ電極とを有し、前記ショットキ電極がニッケルを含有することを特徴とする半導体装置。

【請求項5】 前記ショットキ電極におけるニッケルの重量含有率が0%を超え、20%以下の範囲であることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記ショットキ電極におけるニッケルの重量含有率が3%を超え、20%以下の範囲であることを特徴とする請求項4記載の半導体装置。

【請求項7】 窒化ガリウム系化合物半導体層と、前記窒化ガリウム系化合物半導体層上に形成されたショットキ電極とを有し、前記ショットキ電極が複層構造を有しかつ前記窒化ガリウム系化合物半導体層に接する最下層がシリコンで構成されていることを特徴とする半導体装置。

【請求項8】 窒化ガリウム系化合物半導体層と、前記窒化ガリウム系化合物半導体層上に形成されたショットキ電極とを有し、前記ショットキ電極が複層構造を有しかつ前記窒化ガリウム系化合物半導体層に接する最下層がニッケルで構成されていることを特徴とする半導体装置。

【請求項9】 前記最下層の厚さが0nmを超え、20nm以下の範囲であることを特徴とする請求項7または請求項8に記載の半導体装置。

【請求項10】 前記ショットキ電極がパラジウムまたは白金を含有することを特徴とする請求項1ないし請求項9のいずれかに記載の半導体装置。

【請求項11】 前記ショットキ電極よりも抵抗率の低い金属が、前記ショットキ電極に接して形成されていることを特徴とする請求項1ないし請求項10のいずれかに記載の半導体装置。

【請求項12】 窒化ガリウム系化合物半導体層上にシリコンまたはニッケルを含有するショットキ電極を形成した後、400℃から600℃の範囲の温度で加熱処理することを特徴とする半導体装置の製造方法。

【請求項13】 窒化ガリウム系化合物半導体層上にシリコンまたはニッケルを含有するショットキ電極を形成した後、500℃から600℃の範囲の温度で加熱処理

することを特徴とする半導体装置の製造方法。

【請求項14】 窒化ガリウム系化合物半導体層上に、複層構造を有し最下層がシリコンまたはニッケルで構成されているショットキ電極を形成した後、400℃から600℃の範囲の温度で加熱処理することを特徴とする半導体装置の製造方法。

【請求項15】 窒化ガリウム系化合物半導体層上に、複層構造を有し最下層がシリコンまたはニッケルで構成されているショットキ電極を形成した後、500℃から600℃の範囲の温度で加熱処理することを特徴とする半導体装置の製造方法。

【請求項16】 前記ショットキ電極がパラジウムまたは白金を含有することを特徴とする請求項12ないし請求項15のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に $\text{In}_x\text{Al}_{1-x}\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x < 1$, $0 \leq y < 1$, $0 \leq x+y < 1$) で表される窒化ガリウム（以降、「 GaN 」という）系半導体に接する電極構造およびその形成方法に係わり、特に窒化ガリウム系半導体へのショットキ電極の形成方法に関するものである。

【0002】

【従来の技術】 GaN 、 AlGaN 、 InGaN 、 InAlGaN 等の窒化ガリウム系半導体は直接遷移を有し、バンドギャップが1.95eVから6eVまで変化するため、レーザーダイオード等の発光デバイスの材料として有望視されている。また、 GaN は高い絶縁破壊電界強度、高い熱伝導率、高い電子飽和速度を有しており高周波のパワーデバイス材料としても有望である。特に、 AlGaN/GaN ヘテロ接合構造では電界強度が $1 \times 10^6 \text{ V/cm}$ で、 GaAs の2倍以上の電子速度を有し、素子の微細化によって高周波動作が期待できる。

【0003】この材料はSiやGe等のn型ドーパントをドーピングすることによりn型特性を示し、電界効果トランジスタ(FET)への展開が図られている。一般にはショットキ電極にショットキ金属を用いたMESFETが検討されている。ショットキ特性はFET特性のドレイン耐圧やゲート電圧を正電圧に印加した場合の電流特性に大きく影響を与え、従来窒化ガリウム系化合物半導体ではショットキ特性の点からパラジウムや白金などの金属が一般的に用いられていた。

【0004】

【発明が解決しようとする課題】しかしながら、これらの金属はショットキ特性を示すバリアハイトや理想因子n値は、他の金属に比べて良好な値ではあるが、ショットキを形成する窒化ガリウム系化合物半導体との密着性は悪く、プロセス中に電極が剥がれたり浮いてしまうという問題があった。特に高周波特性が要求されるデバイ

スではゲート長はサブハーフミクロン以下の微細ゲートが不可欠であり、この場合前記ショットキ金属では一層加工が困難であった。

【0005】本発明は、このような事情を鑑みなされたものであり、窒化ガリウム系化合物半導体へのショットキ電極の形成において、良好なショットキ特性を得るとともに密着性の高いショットキ電極を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の半導体装置は、窒化ガリウム系化合物半導体層と、前記窒化ガリウム系化合物半導体層上に形成されたショットキ電極とを有し、前記ショットキ電極はシリコンを含有するものであり、これにより、窒化ガリウム系化合物半導体層とショットキ電極との密着性の格段の向上を実現可能とするものである。

【0007】さらに、ショットキ電極を加熱処理することにより、ショットキ特性および密着性がさらに改善される。

【0008】

【発明の実施の形態】（実施の形態1）本発明の実施の形態1にかかる半導体装置を説明する。

【0009】図1は、本発明の実施の形態1にかかる電界効果型トランジスタ（FET）の断面図である。

【0010】図1において、サファイア基板1上にバッファ層2、ノンドープのGa_{0.5}N_{0.5}層3、Siをドープしたキャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ のn型Ga_{0.5}N_{0.5}活性層4が順次形成されている。n型Ga_{0.5}N_{0.5}活性層4上には2つのオーミック電極5と、両オーミック電極5の間にPdSiで構成されたショットキ電極6が形成されている。

【0011】次に、本発明の実施の形態1にかかる電界効果型トランジスタの製造方法について説明する。

【0012】図2（a）～（c）は、同トランジスタの製造方法を示す製造工程図である。

【0013】まず、図2（a）に示すように、サファイア基板1上にバッファ層2、ノンドープのGa_{0.5}N_{0.5}層3、Siをドープしたキャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ のn型Ga_{0.5}N_{0.5}活性層4、およびオーミック電極5を順次形成した後、n型Ga_{0.5}N_{0.5}活性層4上に、後に形成されるショットキ電極6の形成用に、開口部を有するフォトレジストパターン7を形成する。

【0014】次に、図2（b）に示すように、全面にショットキ用金属8を真空蒸着等で形成する。最後に、図2（c）に示すように、フォトレジスト除去液を用いた超音波処理、或いは高圧スプレー処理により、フォトレジストパターン7とともにフォトレジストパターン7上のショットキ用金属8を除去する。このときに残されたショットキ用金属8の一部がショットキ電極6となる。このようなリフトオフプロセスで重要なことは、ショットキ用金属8と、その下地のn型Ga_{0.5}N_{0.5}活性層4との密

着性である。

【0015】n型Ga_{0.5}N_{0.5}活性層4との密着性が悪い従来のPdで構成されたショットキ電極6では、リフトオフ中の超音波処理や高圧スプレー処理により電極剥がれが発生してしまう。剥がれを防止するために超音波処理や高圧スプレー処理を行わなかったり、そのパワーを下げて処理すると、電極剥がれは起こらないが逆にフォトレジストパターン7上の不要金属が残り、結果として加工歩留まりが低い。特にゲート長が小さくなるほど密着性は加工歩留まりに影響を与える。

【0016】これに対して、PdSiで構成されたショットキ用金属8を用いた場合、リフトオフ中の超音波処理や高圧スプレー処理で電極剥がれは全く発生せず、ほぼ100%の加工歩留まりでショットキ電極6が形成できる。

【0017】図3は、FETのゲート長とリフトオフ法による加工歩留まり率との関係を示すものであり、線AはPdSiでショットキ電極6を形成した場合、線BはPdでショットキ電極6を形成した場合をそれぞれ示すものである。

【0018】図3から明らかなように、Pdを用いた場合（線B）では加工歩留まりはゲート長により大きく異なり、1 μm ゲートで60%であったものが0.3 μm では20%まで悪くなっている。一方、PdSiを用いた場合（線A）ではゲート長によらずほぼ100%に近い加工歩留まりが得られている。この結果からわかるようにPdSiで構成されたショットキ電極6はn型Ga_{0.5}N_{0.5}活性層4との密着性に優れている。

【0019】図4は、図1に示したFETと同条件で作製した面積100 μm^2 のショットキダイオードの順方向I-V特性を示すものである。線A～線Eは、加熱処理をしなかった場合、400℃で加熱処理した場合、500℃で加熱処理した場合、600℃で加熱処理した場合、700℃で加熱処理した場合をそれぞれ示したものである。

【0020】図5（a）は、図4のI-V特性より求めた、加熱処理温度に対するバリアハイトを示したものであり、図5（b）は、図4のI-V特性より求めた、加熱処理温度に対する理想因子n値を示したものである。加熱処理はアルゴンガス雰囲気中で5分間行った。

【0021】図5（a）および（b）には、同条件で作製したPdで構成された従来のショットキ電極6の結果も併せて示す。加熱処理を行わない場合のバリアハイトおよび理想因子n値はPdSiを用いた場合でそれぞれ0.82eVと1.42、Pdを用いた場合でそれぞれ0.81eVと1.44と、PdSiの場合とPdの場合とではほぼ同等のショットキ特性を示している。

【0022】一方、400℃の熱処理でバリアハイトおよび理想因子n値は、PdSiを用いた場合で0.92eVおよび1.32であり、Pdを用いた場合で0.8

8 eVおよび1.36と、両ショットキ電極ともに加熱処理を行わない場合よりも改善されているが、PdSiを用いた場合の方がより大きく改善されている。

【0023】さらに、500℃の熱処理ではバリアハイトおよび理想因子n値は、PdSiを用いた場合、0.96 eVおよび1.25と改善されるが、Pdを用いた場合では0.86 eVおよび1.38と逆に劣化している。

【0024】加熱処理温度が600℃ではバリアハイトおよび理想因子n値はPdSiを用いた場合で0.96 eVおよび1.26と500℃のときの値とほとんど変化はない。

【0025】一方、Pdを用いた場合では、バリアハイトおよび理想因子n値は0.84 eVおよび1.41とさらに劣化している。加熱処理温度を700℃まで上げると、PdSiで構成されたショットキ電極6でもバリアハイトおよび理想因子n値は劣化している。

【0026】以上の結果からわかるように、ショットキ電極6を従来のPdからPdSiとし、ショットキ電極6を400℃〜600℃、より好ましくは500℃〜600℃で加熱処理することによりショットキ特性が改善される。

【0027】図6(a)は、ショットキ電極6を構成するPdSi合金に占めるSiの重量含有率とそのショットキ特性のバリアハイトとの関係、図6(b)は、理想因子n値との関係をそれぞれ示す。ショットキ電極6の面積は100μm²で、電極形成後500℃で5分間の加熱処理を行っている。図6(a)より、Siの重量含有率が20%まではバリアハイトおよび理想因子n値はほぼ一定の値を示しているが、25%を超えるとバリアハイトは徐々に低下している。これは窒化ガリウム系化合物半導体に対してはPdは本来高い仕事関数を有しているが、SiはPdよりも仕事関数が低く、PdSiでSiの含有率を増大させるとSiの影響が出はじめるためと考えられる。したがって、ショットキ特性が良好なショットキ電極を得るためにはSiの重量含有率が0%を超え、20%以下であることが望ましい。さらに、ショットキ電極6の密着性向上の実効性を高めるためには、Siの重量含有率が3%を超え、20%以下であることがなお望ましい。

【0028】密着性に関してはSi含有量を増加させても低下することはない。これはPdSi合金の密着性はSiの存在により向上しているためである。

【0029】本実施の形態では、PdSiを用いた場合について説明したが、Pdとニッケル（以降、「Ni」という）からなる合金（以降、「PdNi」という）でも同様の結果が得られており、Niの重量含有率が0%を超え、20%以下であることが望ましい。さらに、ショットキ電極6の密着性向上の実効性を高めるためには、Niの重量含有率が3%を超え、20%以下である

ことがなお望ましい。

【0030】図7(a)は、ショットキ電極6にPdを用いた場合とPdNiを用いた場合のバリアハイトと熱処理温度との関係を示し、図7(b)は、理想因子n値と熱処理温度との関係を示したものである。各加熱処理温度によるバリアハイトおよび理想因子n値の値には僅かの違いはあるもののその傾向は同じである。値自体も測定誤差の範囲であり、PdNiを用いた場合も窒化ガリウム系化合物半導体に対して良好なショットキ電極6であると言える。また、密着性も同様に評価したが、剥がれ等、加工不良はほとんどなく、高い密着性を示した。

【0031】また、窒化ガリウム系化合物半導体で良く用いられるショットキ電極6に白金（以降、「Pt」という）があるが、PtもPdと同様Ga_{0.5}Nとの密着性が悪く、リフトオフ法でショットキ電極6に加工した場合、加工歩留まりは非常に悪い。

【0032】そこで、Pdと同様にSiやNiと合金を形成し、ショットキ電極6として検討を行った。図8

(a)は、それぞれPtSiとPtNiを用いたショットキ電極6のバリアハイトと加熱処理温度との関係を示し、図8(b)は、理想因子n値と加熱処理温度との関係を示したものである。この場合でも、400℃から600℃の加熱処理、好ましくは500℃から600℃の加熱処理でバリアハイトおよび理想因子n値は向上している。また、密着性もPdを用いた場合と同様に、SiやNiと合金を形成することにより密着性は向上し、加工上問題はない。以上の結果よりショットキ電極6としてPtSiやPtNiを用いた場合も有効であることがわかる。

【0033】また、窒化ガリウム系化合物半導体を用いたFETを高周波デバイスに应用する場合、ゲート抵抗の低減が重要となる。PdSi、PdNi、PtSiおよびPtNiといった合金では、その抵抗率は単体の金属より高くなる。PdやPtは、抵抗率は金(Au)やアルミニウム(Al)に比べて高く、ゲート金属として用いる場合、低抵抗化が不可欠である。そこで、図9に示すように比較的抵抗率の高いショットキ電極6と、その上に形成されたショットキ電極6よりも抵抗率の低い金属、例えばチタン(Ti)とPtとAuを積層した金属層9を形成することにより図9における紙面垂直方向のゲート抵抗を低減することができる。

【0034】またこの構造であれば、ショットキ電極6の形成後の加熱処理にも相互に拡散することもなく良好なショットキ特性で低抵抗を実現している。なお、ここではショットキ電極6上に形成する金属としてTi、Pt、Auを用いて説明したが、これに限らず、例えばTiの代わりにクロム(Cr)、Auの代わりに銅(Cu)、或いは他の低抵抗金属を用いても同様に実施可能である。

【0035】（実施の形態2）次に、本発明の実施の形態2にかかる半導体装置について図面を用いて説明する。

【0036】図10は、本発明の実施の形態2にかかるヘテロ構造FET（HFET）の断面図である。図10において、サファイア基板1上にバッファ層2、ノンドープのGaN層3、Siをドープしたキャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ のn型AlGaN活性層4a、2つのオーミック電極5が順次形成されている。両オーミック電極5の間に厚さ200nmのPd層（図示せず）と厚さ10nmのSi層（図示せず）とを交互に形成してなるショットキ電極6が形成されている。ただし、n型AlGaN活性層4aに接するショットキ電極6の最下層はSiで構成されている。

【0037】このように、ショットキ電極6をSiとPdとの多層膜とし、最下層をSiで構成することにより従来のPdで構成したショットキ電極6を用いた場合に比べて、リフトオフ法によるショットキ電極6形成時の電極剥がれが低減し、加工歩留まりは改善されている。これは、SiがPdに比べてその下地のn型AlGaN活性層4aに対する密着性が優れているためである。

【0038】一方、ショットキ特性は、ショットキ電極6形成後の熱処理により改善される。

【0039】図11（a）は、HFETと同条件で作製した面積 $100 \mu\text{m}^2$ のショットキダイオードの順方向I-V特性より求めたバリアハイトの加熱処理温度依存性、図11（b）は、理想因子n値の加熱処理温度依存性を示したものである。

【0040】加熱処理は、アルゴンガス雰囲気中で5分間行った。なお、図11には同条件で作製したPdで構成した従来のショットキ電極6を用いた場合の結果も併せて示す。加熱処理前のバリアハイトおよび理想因子n値はSi/Pdの多層膜を用いた場合では0.80eVおよび1.45であり、Pdを用いた場合では0.81eVおよび1.44と同等のショットキ特性を示す。

【0041】一方、400℃の加熱処理では、バリアハイトおよび理想因子n値は、Si/Pdの多層膜を用いた場合で0.93eVおよび1.30であり、Pdを用いた場合で0.88eVおよび1.36と、共に改善されているが、本発明のSi/Pdの多層膜を用いた場合の方がより大きく改善されている。

【0042】さらに500℃の熱処理ではバリアハイトおよび理想因子n値はSi/Pdの多層膜を用いた場合で0.95eVおよび1.24に改善されるが、Pdを用いた場合では0.86eVおよび1.38と逆に劣化している。

【0043】さらに加熱処理温度が600℃ではバリアハイトおよび理想因子n値はSi/Pdの多層膜の場合で0.96eVおよび1.26と500℃の値とほとんど変化はない。

【0044】一方、Pdを用いた場合では、0.84eVおよび1.41とさらに劣化している。加熱処理温度を700℃まで上げると、Si/Pdの多層膜の場合でもバリアハイトおよび理想因子n値の改善は小さい。

【0045】以上の結果からわかるようにショットキ電極を従来のPdからSi/Pdの多層膜とし、400℃～600℃で加熱処理することにより、望ましくは、500℃～600℃で加熱処理することによりショットキ特性が大幅に改善されることがわかる。

【0046】図12（a）は、Si/Pdの多層膜におけるSi層の膜厚とそのショットキ特性のバリアハイトとの関係、図12（b）は、Si層の膜厚と理想因子n値との関係の評価した結果である。評価したショットキ電極6の面積は $100 \mu\text{m}^2$ で、ショットキ電極6の形成後、500℃で5分間の熱処理を行っている。

【0047】図12から、Siの膜厚が20nm以下のときはバリアハイトおよび理想因子n値はほぼ一定の値を示しているが、25%を超えるとバリアハイトは徐々に低下していることがわかる。これは、窒化ガリウム系化合物半導体に対してはPdは高い仕事関数を有しているが、SiはPdよりも仕事関数が低いために、Si/Pdの多層膜においてSiの膜厚を増大させるとPdのショットキ接合への寄与が低減するためである。したがって、ショットキ特性が良好なショットキ電極6を得るためにはSiの膜厚が20nm以下であることが望ましい。一方、密着性に関してはSiの膜厚を増加させても低下することはなかった。これはSi/Pdの多層膜の密着性はSiの存在で決定されているためである。

【0048】以上のことから、Siの膜厚の範囲は、0nmを超え、20nm以下であることが望ましい。

【0049】本実施の形態では、ショットキ電極6の材料としてPdを用いた場合とSi/Pdの多層膜を用いた場合との比較で説明したが、PdとNiからなる多層膜でも同様の結果が得られる。

【0050】図13（a）は、Si/Pdの多層膜とNi/Pdの多層膜を用いたショットキ電極6の加熱処理温度とバリアハイトとの関係を示し、図13（b）は、加熱処理温度と理想因子n値との関係を示したものである。各加熱処理温度によるバリアハイトおよび理想因子n値の値には僅かの違いはあるもののその傾向は同じである。値自体も測定誤差の範囲であり、Ni/Pdの多層膜も窒化ガリウム系化合物半導体に対して良好なショットキ電極6であると言える。また、密着性も同様に評価したが剥がれ等、加工不良はほとんどなく、高い密着性を示した。

【0051】また、窒化ガリウム系化合物半導体でよく用いられるショットキ電極6にPtがあるが、PtもPdと同様GaNとの密着性が悪く、リフトオフ法でショットキ電極に加工した場合、加工歩留まりは非常に悪い。そこで、Pdと同様にSiやNiと多層膜を形成

し、ショットキ電極6としての検討を行った。

【0052】図14(a)は、Si/Ptの多層膜とNi/Ptの多層膜を用いたショットキ電極6の加熱処理温度とバリアハイトとの関係を示し、図14(b)は、加熱処理温度と理想因子 n 値との関係を示したものである。Pdを用いたと同様に400℃～600℃の熱処理でバリアハイトおよび理想因子 n 値は向上している。

【0053】また、密着性もPdを用いた場合と同様に、SiやNiとの多層膜を形成することにより密着性は向上し、歩留まりが向上する。

【0054】以上の結果より、Si/Ptの多層膜とNi/Ptの多層膜もショットキ電極6の材料として非常に有効であることがわかる。

【0055】なお、Si/Pd、Ni/Pd、Si/PtおよびNi/Ptといった多層膜の抵抗率は決して低くない。したがって、これらの材料を高周波応用デバイスのゲート電極(ショットキ電極6)として用いる場合、これらの多層膜だけでは紙面垂直方向のゲート抵抗が高くなってしまふ。そこで、図15に示すように、多層膜で構成されたショットキ電極6の上に、ショットキ電極6よりも抵抗率の低い金属、例えばチタン(Ti)とPtとAuを積層した金属層9を形成することにより図15における紙面垂直方向のゲート抵抗を低減することができる。

【0056】また、この構造であれば、ショットキ電極6の形成後の加熱処理にも相互に拡散することもなく良好なショットキ特性で低抵抗を維持している。なお、ここではショットキ電極6よりも抵抗率の低い金属としてTi、Pt、Auを例に説明したが、これに限らず、例えばTiの代わりにクロム(Cr)、Auの代わりに銅(Cu)、或いは他の低抵抗金属を用いても同様に実施できる。

【0057】(実施の形態3)次に、本発明の実施の形態3にかかる半導体装置の製造方法について図面に基づいて説明する。

【0058】図16(a)～(d)は、本発明の実施の形態3にかかる電界効果型トランジスタ(FET)の工程断面図である。

【0059】まず、図16(a)に示すように、MOCVD法を用いてサファイア基板1の上にGa_{0.5}N_{0.5}よりなるバッファ層2を約20nm、その上にノンドープのGa_{0.5}N_{0.5}層3を約2μmの膜厚で成長する。さらに、Ga_{0.5}N_{0.5}層3上にSiをドープしたキャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ のn型Ga_{0.5}N_{0.5}層4bを100nm成長する。

【0060】次に、図16(b)に示すように、FET形成領域を残してn型Ga_{0.5}N_{0.5}層4bをメサエッチングにより除去しn型Ga_{0.5}N_{0.5}活性層4を形成する。

【0061】次に、図16(c)に示すようにn型Ga_{0.5}N_{0.5}活性層4上にオーミック電極用金属としてTi層5aを20nmとAl層5bを200nm蒸着し、リフトオ

フおよび600℃で1分間アニーリングを行うことにより図16(d)に示すようにオーミック電極5を形成する。

【0062】最後に、ショットキ用金属8(図示せず)としてSiを10重量%含有したPd合金PdSi層(図示せず)を50nm、Ti層(図示せず)を50nm、Pt層(図示せず)を50nm、Au層(図示せず)を200nm順次蒸着し、リフトオフおよび500℃で5分間の加熱処理を行うことにより、ショットキ電極6および金属層9を形成してFETを完成する。

【0063】図17は、このFETの加熱処理後の静特性を示す。バリアハイトが高いため、ゲート電圧を+1.0V印加してもドレイン電流は増加し高い電流駆動能力を示している。また、ショットキの逆耐圧が高いため、ドレイン電圧50Vにおいても良好なFET特性が得られている。また、ショットキ電極6の加工歩留まりは、ほぼ100%でありショットキ電極6の剥がれ等の加工不良は起こっていない。

【0064】本実施の形態では、ショットキ電極6の材料としてPdSiを用いたが、これに限らずPdNiやPtSiおよびPtNiであってもよい。また、本実施の形態では、ゲート抵抗低減のためにPdSi上にTiとPtとAuを形成したが、これらは低抵抗金属であり、ショットキ電極6の形成後の加熱処理で相互拡散等の構造変化を起こしにくい金属または金属層であればCrやCu等の金属であっても同様に実施できる。

【0065】また、本実施の形態でショットキ用金属8に用いたPdSiは、Siの重量含有率を10%としたが、Siの重量含有率はこれに限らず良好なショットキ特性と高い密着性が得られる含有率であれば何%であってもよい。ただし、図6に示したようにPdSiでは20%以下であれば良好なショットキ特性が得ることができる。また、PtSiにおいても実験の結果、Si重量含有率が20%以下であれば良好なショットキが得られる。PdNi、PtNiについても同様の結果であった。

【0066】(実施の形態4)次に、本発明の実施の形態4にかかる半導体装置の製造方法を図面に基づいて説明する。

【0067】図18(a)～(d)は本発明の実施の形態4にかかるヘテロ構造FET(HFET)の工程断面図である。

【0068】まず、図18(a)に示すように、MOCVD法を用いてサファイア基板1上にGa_{0.5}N_{0.5}よりなるバッファ層2を約20nm形成し、その上にノンドープのGa_{0.5}N_{0.5}層3を約2μmの膜厚で成長させ、さらにその上にSiをドープしたキャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ のn型AlGa_{0.5}N_{0.5}層4cを100nm成長する。

【0069】次に、図18(b)に示すように、FET形成領域を残してn型AlGa_{0.5}N_{0.5}層4cをメサエッチン

グにより除去しn型AlGaIn活性層4aを形成する。

【0070】次に、図18(c)に示すように、n型AlGaIn活性層4a上にオーミック電極用金属としてTi層5aを20nm、Al層5bを200nm順次蒸着し、リフトオフおよび600℃での1分間のアニーリングを行うことにより、図18(d)に示すように、オーミック電極5を形成する。最後に、ショットキ用金属8(図示せず)としてSi層(図示せず)を10nm、Pd層(図示せず)を150nm順次蒸着し、さらにゲート抵抗低減のために、Ti層(図示せず)を50nm、Pt層(図示せず)を50nm、Au層(図示せず)を200nm順次蒸着した後、リフトオフおよび500℃での5分間の加熱処理を行うことによりショットキ電極6および金属層9を形成してHFEETを完成する。

【0071】図19は、加熱処理後のHFEETの静特性を示す。このHFEETバリアハイトによりゲート電圧を+1.0V印加してもゲートリークは起こらず高い電流駆動能力を示す。また、ショットキの高い逆耐圧によりドレイン電圧が50Vにおいても良好なHFEET特性が得られている。また、ショットキ電極6の加工歩留まりは、ほぼ100%でありショットキ電極6の剥がれ等の加工不良は起こっていない。

【0072】本実施の形態ではショットキ用金属8にSi/Pdの多層膜を用いたが、これに限らずNi/Pdの多層膜やSi/Ptの多層膜およびNi/Ptの多層膜であってもよい。また、本実施の形態では、ゲート抵抗低減のためにSi/Pdの多層膜上にTiとPtとAuを形成したが、これらは低抵抗金属であり、ショットキ電極形成後の熱処理で相互拡散等の構造変化を起こしにくい金属または金属層であればCrやCu等の金属であっても差し支えない。

【0073】また、本実施の形態では、ショットキ用金属8に用いたSi/Pdの多層膜における最下層のSi層の膜厚を10nmとしたが、Siの膜厚はこれに限らず良好なショットキ特性と高い密着性が得られる膜厚であればどんな厚さであってもよい。なお、図12で示したように、Si/Pdの多層膜では20nm以下であれば良好なショットキ特性が得ることができる。また、Si/Ptの多層膜においても実験の結果、Siの重量含有率が20%以下であれば良好なショットキが得られる。また、Ni/Pdの多層膜、Ni/Ptの多層膜についても同様の結果であった。

【0074】また、本発明の実施の形態では、FETおよびHFEETの作製工程について説明したが、本発明はこれに限らず窒化ガリウム(GaN)系半導体でショットキ電極6を有するデバイスであれば何であっても同様に実施可能である。

【0075】

【発明の効果】以上のように、本発明によると、窒化ガリウム系化合物半導体層に形成するショットキ電極が、良好なショットキ特性を実現するとともに密着性の高いショットキ電極を実現することができ、その結果とし窒化ガリウム系半導体素子の高周波特性やパワー特性が歩留まりよく作製することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体装置の断面図

【図2】同半導体装置の工程断面図

【図3】同半導体装置の歩留まりを示す図

【図4】同半導体装置の電流-電圧特性を示す図

【図5】同半導体装置の特性図

【図6】同半導体装置の特性図

【図7】同半導体装置の特性図

【図8】同半導体装置の特性図

【図9】本発明の実施の形態1にかかる他の半導体装置の断面図

【図10】本発明の実施の形態2にかかる半導体装置の断面図

【図11】同半導体装置の特性図

【図12】同半導体装置の特性図

【図13】同半導体装置の特性図

【図14】同半導体装置の特性図

【図15】本発明の実施の形態2にかかる他の半導体装置の断面図

【図16】本発明の実施の形態3にかかる半導体装置の工程断面図

【図17】同半導体装置の特性図

【図18】本発明の実施の形態4にかかる半導体装置の工程断面図

【図19】同半導体装置の特性図

【符号の説明】

1 サファイア基板

2 バッファ層

3 GaN層

4 n型GaN活性層

4a n型AlGaIn活性層

4b n型GaN層

4c n型AlGaIn層

5 オーミック電極

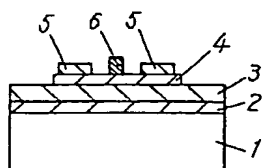
6 ショットキ電極

7 フォトレジストパターン

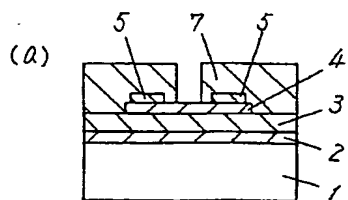
8 ショットキ用金属

9 金属層

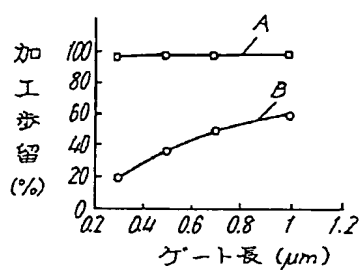
【図1】



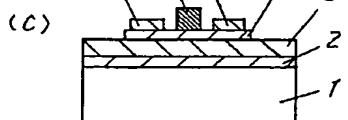
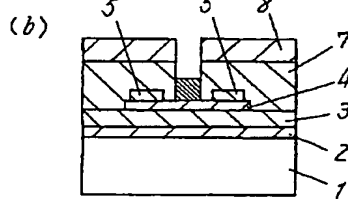
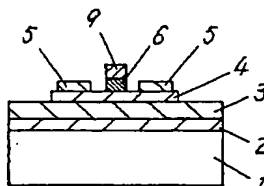
【図2】



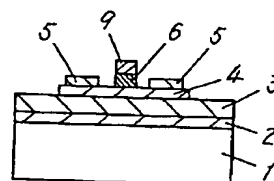
【図3】



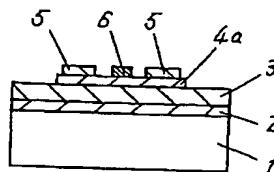
【図15】



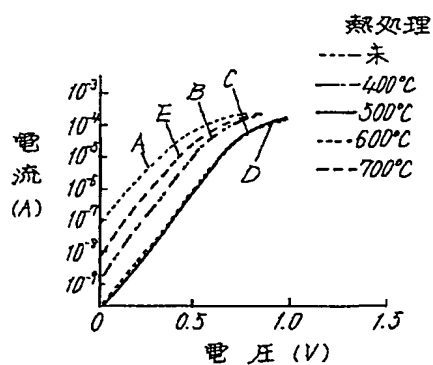
【図9】



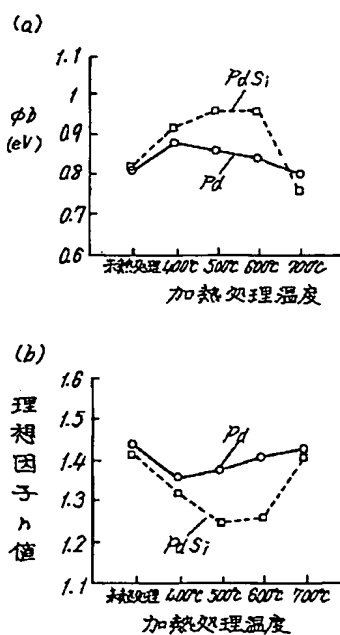
【図10】



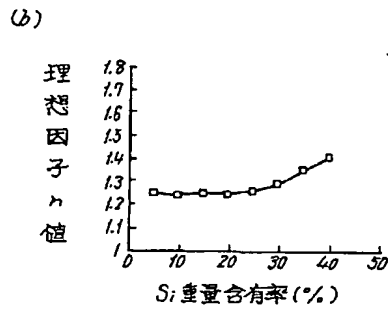
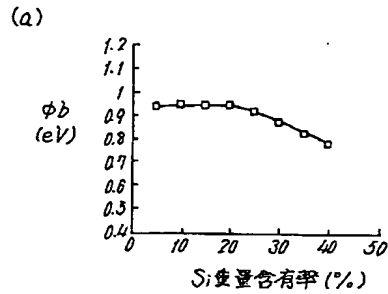
【図4】



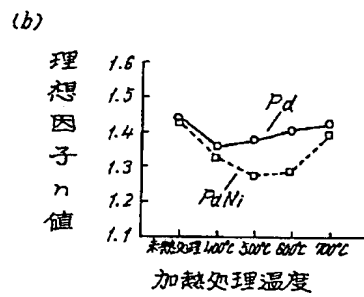
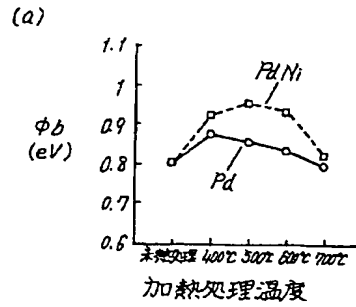
【図5】



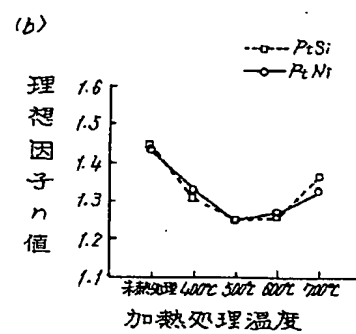
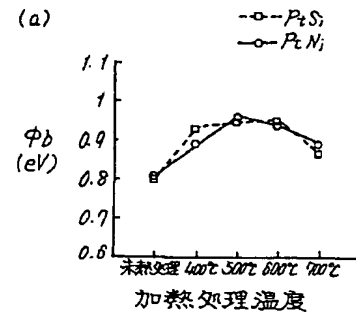
【図6】



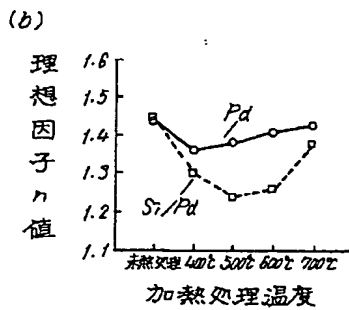
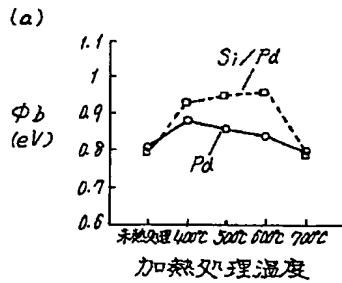
【図7】



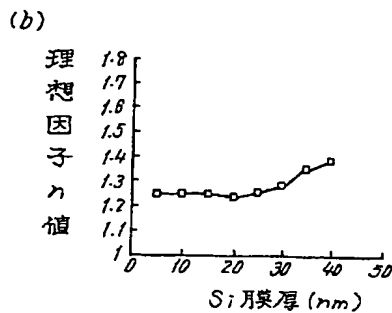
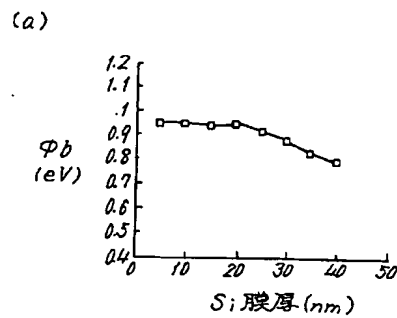
【図8】



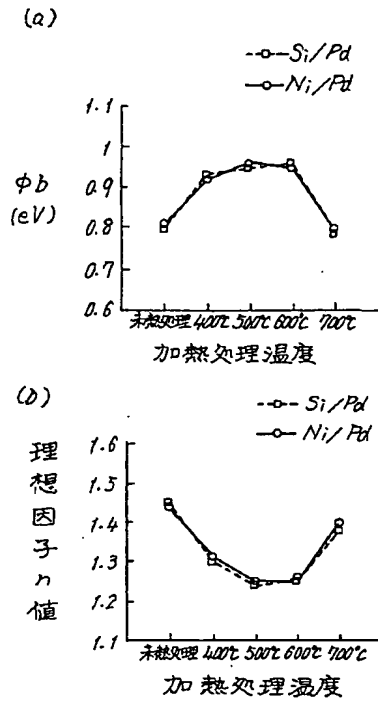
【図11】



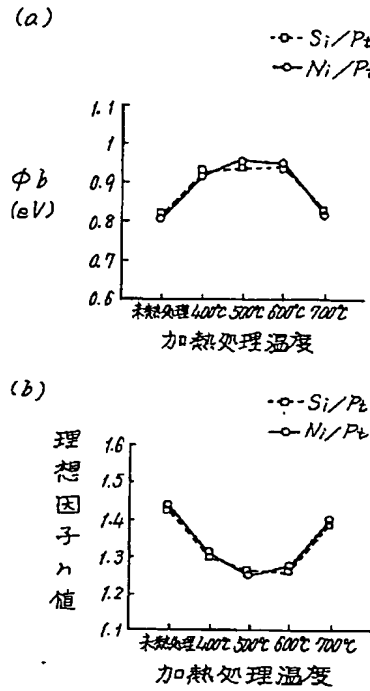
【図12】



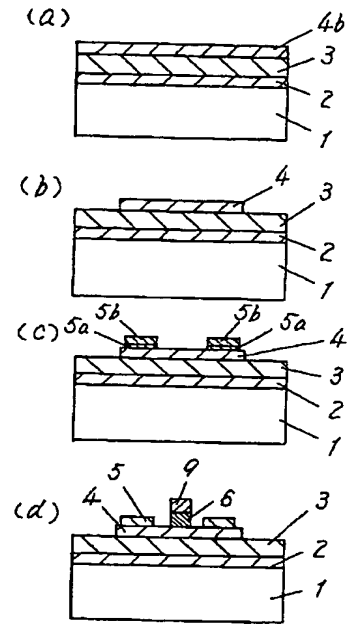
【図13】



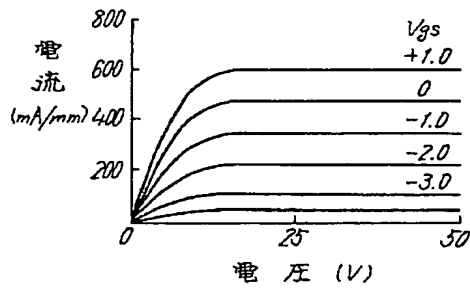
【図14】



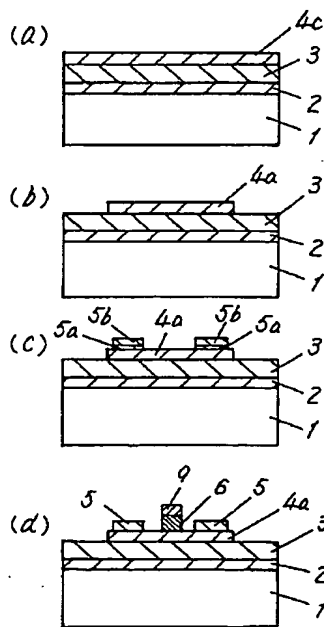
【図16】



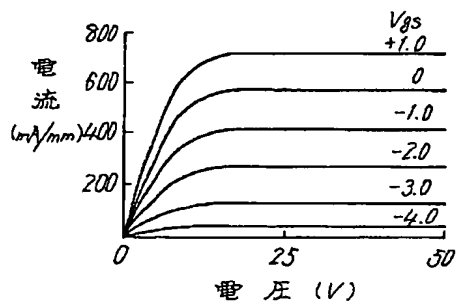
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 正戸 宏幸
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 井上 薫
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

Fターム(参考) 4M104 AA04 BB06 BB07 BB14 BB22
BB23 CC03 DD68 DD78 FF13
GG12 HH14 HH20
5F102 FA03 GB01 GC01 GD01 GJ10
GL04 GQ01 GS02 GT03 GT04
HC19 HC21

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.